

PTO/SB/21 (08-03)

Approved for use through 07/31/2006. OMB 0651-0031

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>TRANSMITTAL FORM</b>  (to be used for all correspondence after initial filing)		Application Number	10/804,020
		Filing Date	March 19, 2004
		First Named Inventor	Hun Jeoung
		Art Unit	N/A
		Examiner Name	Not Yet Assigned
Total Number of Pages in This Submission	1	Attorney Docket Number	8733.1043.00-US

ENCLOSURES (Check all that apply)		
<input type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance Communication to Group
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Terminal Disclaimer	<input checked="" type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Request for Refund	Certified Copy of Korean Patent Application No.: 10-2003-0017476
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> CD, Number of CD(s) _____	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)		
<input type="checkbox"/> Response to Missing Parts/Incomplete Application		
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		
<b>Remarks</b>		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	MCKENNA LONG & ALDRIDGE LLP Valerie Hayes
Signature	<i>Valerie Hayes</i>
Date	March 25, 2004



30827

PATENT TRADEMARK OFFICE



Docket No.: 8733.1043.00-US  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:

Hun Jeoung

Customer No.: 30827

Application No.: tba

Confirmation No.: Not Yet Assigned

Filed: March 19, 2004

Art Unit: N/A

For: ARRAY SUBSTRATE FOR IN-PLANE  
SWITCHING LIQUID CRYSTAL DISPLAY  
DEVICE AND METHOD OF FABRICATING  
THE SAME

Examiner: Not Yet Assigned

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Korea, Republic of	10-2003-0017476	March 20, 2003

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: March 25, 2004

Respectfully submitted,

By Valerie Hayes  
Valerie Hayes

Registration No.: 53,005  
MCKENNA LONG & ALDRIDGE LLP  
1900 K Street, N.W.  
Washington, DC 20006  
(202) 496-7500  
Attorney for Applicant



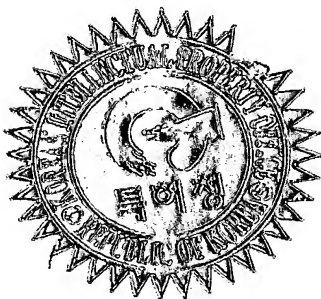
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2003-0017476  
Application Number

출원 년 월 일 : 2003년 03월 20일  
Date of Application MAR 20, 2003

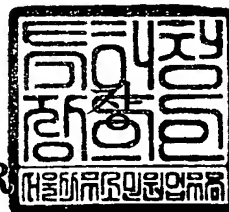
출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.



2004 년 03 월 11 일

특 허 청

COMMISSIONER



This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0003  
**【제출일자】** 2003.03.20  
**【발명의 명칭】** 횡전계형 액정표시장치 및 그 제조방법  
**【발명의 영문명칭】** In-Plane Switching mode Liquid Crystal Display Device and Method for Fabricating the same  
**【출원인】**  
**【명칭】** 엘지 . 필립스엘시디(주)  
**【출원인코드】** 1-1998-101865-5  
**【대리인】**  
**【성명】** 정원기  
**【대리인코드】** 9-1998-000534-2  
**【포괄위임등록번호】** 1999-001832-7  
**【발명자】**  
**【성명의 국문표기】** 정훈  
**【성명의 영문표기】** JEOUNG, HUN  
**【주민등록번호】** 720825-1347619  
**【우편번호】** 718-830  
**【주소】** 경상북도 칠곡군 석적면 우방 신천지 아파트 107-403  
**【국적】** KR  
**【취지】** 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 정원기 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 31 면 31,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 0 항 0 원  
**【합계】** 60,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명에 따른 횡전계형 액정표시장치에 의하면, 투과성을 가지고, 건식식각법에 의한 패터닝이 가능한 반도체 물질을 전극 물질로 이용함으로써, 개구율이 증가되면서도 패널 전체의 CD가 균일하게 제어되어 전극간격을 균일하게 유지할 수 있고, CD차에 의한 화상불량이 감소되는 효과를 가질 수 있으며, 보호층과 투명 전극 공정을 생략할 수 있어 마스크 수의 감소로 제조원가와 공정소요시간(tact time)을 개선시킬 수 있는 장점을 가진다.

**【대표도】**

도 4



【명세서】

【발명의 명칭】

횡전계형 액정표시장치 및 그 제조방법{In-Plane Switching mode Liquid Crystal Display Device and Method for Fabricating the same}

【도면의 간단한 설명】

도 1은 일반적인 횡전계형 액정표시장치의 구동원리 설명을 위한 개략적인 단면도.

도 2는 종래의 횡전계형 액정표시장치용 어레이 기판의 한 화소부에 대한 평면도.

도 3은 종래의 개구율 향상구조의 횡전계형 액정표시장치용 어레이 기판에 대한 평면도.

도 4는 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치용 어레이 기판에 대한 평면도.

도 5는 상기 도 4의 절단선 III-III에 따라 절단된 단면을 도시한 단면도.

도 6은 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치에 대한 평면도.

도 7은 상기 도 6의 절단선 IV-IV에 따라 절단된 단면을 도시한 단면도.

도 8a 내지 8d, 도 9a 내지 9d는 본 발명의 제 3 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 도면으로서, 도 8a 내지 8d는 평면도이고, 도 9a 내지 9d는 상기 도 8의 절단선 VII-VII에 따라 절단된 단면을 도시한 단면도.

도 10, 11은 본 발명의 제 4 실시예에 따른 횡전계형 액정표시장치에 대한 도면으로, 도 10은 평면도이고, 도 11은 상기 도 10의 절단선 X-X에 따라 절단된 단면을 도시한 단면도.



## &lt;도면의 주요부분에 대한 부호의 설명&gt;

112 : 반도체층	114 : 드레인 전극
116 : 제 1 캐패시터 전극	118 : 화소 전극
122 : 게이트 전극	124 : 게이트 배선
126 : 공통 배선	128 : 공통 전극
130 : 제 2 캐패시터 전극	132 : 데이터 배선
136 : 소스 전극	P : 화소 영역
T : 박막트랜지스터	I : 액티브 영역
II : 소스 영역	
C <sub>ST</sub> : 스토리지 캐패시턴스	

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <20>        본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것이며, 특히 횡전계형 (IPS ; In-Plane Switching) 액정표시장치 및 그의 제조방법에 관한 것이다.
- <21>        최근에, 액정표시장치는 소비전력이 낮고 휴대성이 양호한 기술집약적이며 부가가치가 높은 차세대 첨단 표시장치로 각광받고 있다.





- <22>       상기 액정표시장치는 투명 전극이 형성된 두 기판 사이에 액정을 주입하고, 두 기판의 바깥면에 편광판을 각각 위치시켜 형성되며, 액정분자의 이방성에 따른 빛의 편광특성을 변화시켜 영상효과를 얻는 비발광 소자에 해당된다.
- <23>       현재에는, 각 화소를 개폐하는 스위칭 소자인 박막트랜지스터(Thin Film Transistor ; TFT)가 화소마다 배치되는 능동행렬방식 액정표시장치(AM-LCD ; Active Matrix Liquid Crystal Display)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.
- <24>       일반적인 액정표시장치는, 두 기판의 내부면에 각각 형성된 전극(공통 전극, 화소 전극) 간에 상-하로 걸리는 수직 전기장에 의해 액정을 구동시키는 방식으로써, 이러한 구동 방식에 의해 투과율과 개구율 등의 특성이 우수하다.
- <25>       그러나, 전술한 수직 전기장에 의한 액정구동은 시야각 특성이 우수하지 못하므로, 이를 개선하기 위해 수평 전기장에 의해 액정을 구동시켜 광시야각 특성을 가지는 횡전계형 액정표시장치가 제안되고 있다.
- <26>       도 1은 일반적인 횡전계형 액정표시장치의 구동원리 설명을 위한 개략적인 단면도로서, 제 1, 2 기판(10, 20)이 서로 대향되게 배치되어 있고, 제 1, 2 기판(10, 20) 사이에 액정층(30)이 개재되어 있는 구조에서, 제 1 기판(10) 내부면에는 제 1, 2 전극(12, 14)이 모두 형성되어 있고, 상기 제 2 기판(20)에는 별도의 전극이 생략되어 있는 것을 특징으로 한다. 한 예로, 상기 제 1 전극(12)이 공통 전극일 경우, 제 2 전극(14)은 화소 전극에 해당된다.
- <27>       상기 제 1, 2 전극(12, 14) 사이에는 수평전계(16)가 형성되며, 상기 수평전계(16)에 의해 액정층(30)의 액정분자(32)가 수평방향으로 배열되는 것을 특징으로 한다.

- <28> 이러한 전계 특성에 의해, 표시화면을 정면에서 보았을 때 상/하/좌/우 방향으로 약 80~85°방향에서 가시할 수 있는 시야각 향상효과를 얻을 수 있다.
- <29> 이하, 도 2는 종래의 횡전계형 액정표시장치용 어레이 기판의 한 화소부에 대한 평면도이다.
- <30> 도시한 바와 같이, 제 1 방향으로 게이트 배선(52)이 형성되어 있고, 제 1 방향과 교차되는 제 2 방향으로 데이터 배선(54)이 형성되어 있으며, 게이트 배선(52) 및 데이터 배선(54)이 교차되는 지점에는 박막트랜지스터(T)가 형성되어 있다. 상기 박막트랜지스터(T)와 연결되어 제 1 연결배선(56)이 형성되어 있고, 제 1 연결배선(56)에서는 상기 데이터 배선(54)과 평행한 방향으로 서로 이격되게 다수 개의 화소 전극(58)이 분기(分岐)되어 있으며, 화소 전극(58)들의 일끝단은 제 2 연결배선(60)에 의해 연결되어 있다. 그리고, 다수 개의 화소 전극(58)의 중앙부를 경유하며, 상기 게이트 배선(52)과 평행한 방향으로 공통 배선(62)이 형성되어 있고, 공통 배선(62)에서는 상/하 양방향으로 화소 전극(58)과 서로 엇갈리게 다수 개의 공통 전극(64)이 분기되어 있다.
- <31> 상기 게이트 배선(52) 및 데이터 배선(54)이 교차되는 영역은 화소 영역(P)으로 정의되며, 특히 상기 데이터 배선(54)과 화소 전극(58) 간의 화질 불량 현상인 노이즈 필드(noise field)를 제거하기 위해 데이터 배선(54)과 인접한 위치에는 공통 전극(64)이 위치한다.
- <32> 한 예로, 상기 공통 배선(62) 및 공통 전극(64)은 게이트 배선(52)과 동일 공정에서 동일 물질로 이루어지고, 상기 제 1, 2 연결 배선(56, 60) 및 화소 전극(58)은 데이터 배선(54)과 동일 공정에서 동일 물질로 이루어져 있다. 상기 박막트랜지스터(T)는 게이트 배선(52)에서 분기된 게이트 전극(66)과, 데이터 배선(54)에서 분기된 소스 전극(68)과, 소스 전극(68)과 이

격되게 위치하는 드레인 전극(70) 그리고, 상기 게이트 전극(66)을 덮는 영역에서 소스 전극(68) 및 드레인 전극(70)과 일정간격 중첩되게 위치하는 반도체층(72)으로 이루어진다. 이때, 상기 반도체층(72)을 이루는 진성 반도체 물질은 비정질 실리콘 물질(a-Si)에서 선택되며, 이러한 반도체층(72)을 포함하는 박막트랜지스터(T)는 역스태거드형(inverted staggered type)에 해당된다. 한편, 상기 드레인 전극(70)은, 전술한 제 1 연결 배선(56)과 일체형 패턴을 이루고 있다.

<33> 이러한 횡전계형 액정표시장치에서의 실질적인 액정 구동 영역은 수평 전계에 의해 액정이 수평배열되는 영역에 해당되는 것으로, 즉 공통 전극(64)과 화소 전극(58) 간 이격구간 및 공통 전극(64)과 화소 전극(58)의 측면부까지 포함되지만, 상술한 구조에서는 공통 전극 및 화소 전극이 모두 불투명 금속물질로 이루어지기 때문에 전극 간 이격구간만이 화면 구현영역으로 이용됨에 따라 개구율이 저하되는 문제점이 있었다. 이에 따라, 최근에는 개구율 향상을 목적으로 공통 전극(64) 및 화소 전극(58) 중 어느 한 전극을 투명 도전성 물질로 형성하는 구조가 제안되고 있다.

<34> 이하, 도 3은 종래의 개구율 향상구조의 횡전계형 액정표시장치용 어레이 기판에 대한 평면도로서, 상기 도 2의 기본 구조를 동일하게 적용할 수 있으므로 중복되는 부분에 대한 설명은 간략히 한다.

<35> 도시한 바와 같이, 게이트 전극(82), 반도체층(84), 소스 전극(86) 및 드레인 전극(88)으로 박막트랜지스터(T)가 이루어져 있고, 드레인 전극(88)은 드레인 콘택홀(90)을 통해 제 1 연결배선(92)과 연결되어 있으며, 제 1 연결배선(92)에서는 다수 개의 화소 전극(94)이 분기되어 있고, 다수 개의 화소 전극(94)의 일끝단은 제 2 연결배선(96)에 의해 연결되어 있으며, 상



기 제 1, 2 연결배선(92, 96) 및 화소 전극(94)은 투명 도전성 물질에서 선택되고, 바람직하게는 ITO로 이루어지는 것이다.

<36> 그외 공통 배선(98)과 공통 전극(99)의 배치 구조 및 해당 금속물질은 상기 도 2의 경우를 적용할 수 있다.

<37> 그러나, 이와 같이 개구율 향상을 위해 투명 도전성 물질을 전극 물질로 선택하는 경우 다음과 같은 문제점이 있었다.

<38> 첫째, 투명 도전성 물질은 불투명 금속물질과 마찬가지로 습식식각법에 의해 주로 패터닝되는데, 습식식각법에 의한 패터닝 공정은 패널 내 패턴의 설계치로 정의되는 CD(critical dimension)가 영역별로 불균일해지기 쉽고, 또한 투명 도전성 물질이 가지는 투과성에 의해 기판 지지용 척(chuck) 등에 의한 기판 배면의 긁힘 등이 패터닝 공정에 포함되는 노광 공정 중에 영향을 끼쳐 패턴의 측면이 울퉁불퉁해지는 원인들에 의해 화면 얼룩이 발생하는 문제점이 있었다.

<39> 둘째, 투명 도전성 물질을 전극 물질로 선택시에는 배선 물질과의 접촉을 위한 콘택홀 공정이 요구되며, 만약에 공통 전극 및 화소 전극을 모두 투명 도전성 물질에서 선택할 경우 콘택홀 공정이 증가하게 되어, 이에 따라 공정 불량 발생률이 높아지는 문제점이 있었다.

#### 【발명이 이루고자 하는 기술적 과제】

<40> 이러한 문제점을 해결하기 위하여, 본 발명에서는 패널 내 CD(critical dimension)의 균일성 및 패터닝 공정 특성을 향상시킬 수 있고, 투과성을 가져 개구율을 향상시킬 수 있는 형전계형 액정표시장치를 제공하는 것을 목적으로 한다.



- <41> 이를 위하여, 본 발명에서는 반도체층을 이루는 불순물 반도체 물질을 건식식각법에 의해 전극 물질로 이용하고자 한다.
- <42> 또한, 본 발명에서는 불순물 반도체 물질을 전극 패턴으로 사용함에 따라, 별도의 콘택홀 공정을 감소시킬 수 있어 콘택홀 공정에 의한 공정 불량을 방지하고자 한다.
- <43> 특히, 본 발명에서는 비정질 실리콘을 반도체 물질로 이용하는 역스태거드형외에 폴리실리콘을 반도체 물질로 이용하는 박막트랜지스터 구조인 탑 게이트형 박막트랜지스터를 포함하는 횡전계형 액정표시장치에도 적용하고자 한다.

#### 【발명의 구성 및 작용】

- <44> 상기 목적을 달성하기 위하여, 본 발명의 제 1 특징에서는 제 1 방향으로 형성되며, 게이트 전극을 가지는 게이트 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 형성되며, 소스 전극을 가지는 데이터 배선과; 상기 게이트 전극과 중첩되는 액티브 영역과, 상기 소스 전극과 연결되는 소스 영역을 가지는 반도체층과; 상기 반도체층과 일체형 패턴을 이루는 드레인 전극과; 상기 드레인 전극과 일체형 패턴을 이루며, 상기 게이트 배선 및 데이터 배선이 교차되는 영역으로 정의되는 화소 영역에 형성된 제 1 캐패시터 전극과; 상기 제 1 캐패시터 전극과 일체형 패턴을 이루며, 상기 데이터 배선과 평행한 방향으로 형성된 화소 전극과; 상기 제 1 캐패시터 전극과 중첩된 영역에 제 2 캐패시터 전극을 가지며, 상기 게이트 배선과 평행한 방향으로 형성된 공통 배선과; 상기 공통 배선에서 분기되며, 상기 화소 전극과 엇갈리게 형성된 공통 전극을 포함하며, 상기 반도체층의 소스 영역, 드레인 전극, 제 1 캐패시터 전극, 화



소 전극은 투과성을 가지는 불순물 도핑처리된 폴리실리콘 물질로 이루어지는 횡전계형 액정표시장치용 어레이 기판을 제공한다.

<45> 본 발명의 제 2 특징에서는, 제 1 방향으로 형성되며, 게이트 전극을 가지는 게이트 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 형성되며, 소스 전극을 가지는 데이터 배선과; 상기 소스 전극과 연결되는 소스 영역과, 상기 게이트 전극과 중첩되는 액티브 영역을 가지는 반도체층과; 상기 반도체층과 일체형 패턴을 이루는 드레인 전극과; 상기 드레인 전극과 일체형 패턴을 이루며, 상기 게이트 배선 및 데이터 배선이 교차되는 영역으로 정의되는 화소 영역에 형성된 제 1 캐패시터 전극과; 상기 제 1 캐패시터 전극과 일체형 패턴을 이루며, 상기 데이터 배선과 평행한 방향으로 형성된 화소 전극과; 상기 제 1 캐패시터 전극과 중첩되는 영역에 위치하는 제 2 캐패시터 전극을 가지는 제 1 공통 배선과; 상기 제 2 캐패시터 전극을 덮고, 상기 제 2 캐패시터 전극과 연결되는 보조 캐패시터 전극과; 상기 보조 캐패시터 전극을 덮고, 상기 보조 캐패시터 전극과 연결되는 제 2 공통 배선과; 상기 제 2 공통 배선에서 분기되며, 상기 데이터 배선과 평행한 방향으로, 상기 화소 전극과 엇갈리게 형성된 공통 전극을 포함하며, 상기 반도체층의 소스 영역, 드레인 전극, 제 1 캐패시터 전극, 화소 전극은 투과성을 가지는 불순물 도핑처리된 폴리실리콘 물질로 이루어지고, 상기 제 2 공통 배선 및 공통 전극은 투명 도전성 물질에서 선택되는 횡전계형 액정표시장치용 어레이 기판을 제공한다.

<46> 본 발명의 제 3 특징에서는, 기판 상에 폴리실리콘 물질을 형성한 다음, 제 1 마스크 공정에 의해 액티브 영역과 소스 영역을 가지는 반도체층과, 드레인 전극과, 제 1 캐패시터 전극과, 화소 전극을 일체형 패턴으로 형성하는 단계와; 상기 반도체층, 드레인 전극, 제 1 캐패시터 전극, 화소 전극을 덮는 영역에 제 1 절연물질, 제 1 금속물질을 형성한 다음, 상기 제 1 절연물질을 게이트 절연막으로 구성하고, 제 2 마스크 공정에 의해 상기 반도체층의 액티브 영



역을 덮는 위치에 게이트 전극을 포함하는 게이트 배선과, 상기 제 1 캐패시터 전극을 덮는 위치에 제 2 캐패시터 전극을 가지는 공통 배선과, 상기 공통 배선에서 분기되는 공통 전극을 형성하는 단계와; 상기 게이트 배선, 게이트 전극, 공통 배선, 제 2 캐패시터 전극, 공통 전극을 덮는 영역에 제 2 절연물질을 형성하고, 제 3 마스크 공정에 의해 소스 영역의 일부를 노출시키는 소스 콘택홀을 가지는 층간절연막을 형성하는 단계와; 상기 층간절연막 상부에 제 2 금속 물질을 형성한 다음, 제 4 마스크 공정에 의해 상기 소스 콘택홀을 통해 반도체층의 소스 영역과 연결되는 소스 전극을 포함하는 데이터 배선을 형성하는 단계를 포함하며, 상기 반도체층의 소스 영역, 드레인 전극, 제 1 캐패시터 전극, 화소 전극은 투과성을 가지는 불순물 도핑처리된 폴리실리콘 물질로 이루어지는 횡전계형 액정표시장치용 어레이 기판의 제조 방법을 제공한다.

<47> 본 발명의 제 4 특징에서는, 게이트 전극을 가지며, 제 1 방향으로 형성된 게이트 배선과; 소스 전극을 가지며, 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과; 상기 게이트 배선 및 데이터 배선이 교차되는 영역으로 정의되는 화소 영역 내에 위치하는 제 1 캐패시터 전극과; 상기 제 2 방향으로 형성된 공통 배선을 가지며, 상기 공통 배선에서 분기된 공통 전극과; 상기 소스 전극과 일정간격 이격되게 형성된 드레인 전극과; 상기 드레인 전극과 일체형 패턴을 이루며, 상기 제 1 캐패시터 전극과 중첩되는 영역에 형성된 제 2 캐패시터 전극과; 상기 제 2 캐패시터 전극과 일체형 패턴을 이루며, 상기 공통 전극과 서로 엇갈리게 형성된 화소 전극과; 상기 게이트 전극을 덮는 영역에서, 상기 소스 전극과 중첩되게 위치하며, 액티브층과 오믹콘택층이 적층된 구조로 이루어지는 반도체층을 포함

하며, 상기 반도체층의 오믹콘택층, 드레인 전극, 제 2 캐패시터 전극, 화소 전극은 투과성을 가지는 불순물 비정질 실리콘 물질로 이루어지는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판을 제공한다.

<48> 본 발명의 제 5 특징에서는, 서로 대향되게 배치된 제 1, 2 기판과; 상기 제 1 기판 내 부면에 제 1 방향으로 형성되며, 게이트 전극을 가지는 게이트 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 형성되며, 소스 전극을 가지는 데이터 배선과; 상기 게이트 전극과 중첩되는 액티브 영역과, 상기 소스 전극과 연결되는 소스 영역을 가지는 반도체층과; 상기 반도체층과 일체형 패턴을 이루는 드레인 전극과; 상기 드레인 전극과 일체형 패턴을 이루며, 상기 게이트 배선 및 데이터 배선이 교차되는 영역으로 정의되는 화소 영역에 형성된 제 1 캐패시터 전극과; 상기 제 1 캐패시터 전극과 일체형 패턴을 이루며, 상기 데이터 배선과 평행한 방향으로 형성된 화소 전극과; 상기 제 1 캐패시터 전극과 중첩된 영역에 위치하는 제 2 캐패시터 전극을 가지며, 상기 게이트 배선과 평행한 방향으로 형성된 공통 배선과; 상기 공통 배선에서 분기되며, 상기 화소 전극과 엇갈리게 위치하는 공통 전극과; 상기 제 1, 2 기판 사이에 개재된 액정층을 포함하며, 상기 반도체층의 소스 영역, 드레인 전극, 제 1 캐패시터 전극, 화소 전극은 투과성을 가지는 불순물 도핑처리된 폴리실리콘 물질로 이루어지는 횡전계형 액정표시장치를 제공한다.

<49> 본 발명의 제 6 특징에서는, 제 1 방향으로 형성된 게이트 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과; 상기 게이트 배선 및 데이터 배선의 교차지점에 형성된 박막트랜지스터와; 상기 제 2 방향으로 형성되고,



상기 박막트랜지스터와 연결되며, 투과성을 가지는 불순물 도핑처리된 반도체 물질로 이루어진 화소 전극과; 상기 제 2 방향으로 형성되며, 상기 화소 전극과 서로 엇갈리게 위치하는 공통 전극을 포함하는 횡전계형 액정표시장치용 어레이 기판을 제공한다.

<50> 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 상세히 설명한다.

<51> -- 제 1 실시예 --

<52> 도 4는 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치용 어레이 기판에 대한 평면도로서, 탑게이트형 박막트랜지스터를 포함하는 구조로 제시하였다.

<53> 도시한 바와 같이, 제 1 방향으로 게이트 배선(124)이 형성되어 있고, 제 1 방향과 교차되는 제 2 방향으로 데이터 배선(132)이 형성되어 있으며, 게이트 배선(124) 및 데이터 배선(132)이 교차되는 영역은 화소 영역(P)으로 정의되고, 게이트 배선(124)과 중첩되며 데이터 배선(132)의 일부와 연결되게 반도체층(112)이 형성되어 있으며, 반도체층(112)과 연결되어 화소 영역(P)에는 일정 면적을 가지는 제 1 캐패시터 전극(116)과, 제 1 캐패시터 전극(116)과 일체형을 이루며, 데이터 배선(132)과 평행한 방향으로 화소 전극(118)이 형성되어 있다. 상기 반도체층(112)과 접하는 게이트 배선(124)부는 게이트 전극(122)을 이룬다.

<54> 그리고, 상기 반도체층(112)과 제 1 캐패시터 전극(116) 사이 구간의 반도체층 물질층은 드레인 전극(114)을 이루고, 상기 반도체층(112)과 연결되는 데이터 배선(132)부는 소스 전극(136)에 해당되며, 실질적으로 소스 전극(136)은 반도체층(112)과 소스 콘택홀(134)을 통해 연결된다. 그리고, 상기 반도체층(112), 게이트 전극(122), 소스 전극(136) 및 드레인 전극(114)은 박막트랜지스터(T)를 이룬다.



- <55>       상기 반도체층(112), 드레인 전극(114), 제 1 캐패시터 전극(116), 화소 전극(118)은 폴리실리콘 물질을 이용한 일체형 패턴으로 이루어지고, 이 중 드레인 전극(114), 제 1 캐패시터 전극(116), 화소 전극(118)은 도핑처리된 폴리실리콘 물질로 이루어지고, 상기 반도체층(112)은 게이트 전극(122)과 중첩되는 영역은 액티브 영역(I)을 이루고, 그외 소스 전극(134)과 접하는 영역부는 소스 영역(II)을 이룬다. 상기 액티브 영역(I)은 순수 폴리실리콘 물질 영역이고, 소스 영역(II)은 도핑처리된 폴리실리콘 물질 영역에 해당된다.
- <56>       또한, 상기 폴리실리콘 물질로 이루어진 반도체층(112), 드레인 전극(114), 제 1 캐패시터 전극(116), 화소 전극(118)은 건식식각법에 의해 패터닝할 수 있기 때문에, 기존의 습식식각법에 의한 패터닝 공정시 나타나는 불균일한 CD차 문제를 해결할 수 있다.
- <57>       그리고, 반도체 물질은 투과성을 가지기 때문에 개구율을 향상시킬 수 있으며, 반도체 물질을 이용하여 반도체층(112), 제 1 캐패시터 전극(116), 화소 전극(118)을 일체형 패턴으로 형성할 수 있어, 콘택홀 공정을 감소시킬 수 있으므로 이에 따른 공정 불량률 감소 효과를 기대할 수 있다.
- <58>       한편, 상기 제 1 캐패시터 전극(116)과 중첩되는 영역에 위치하는 제 2 캐패시터 전극(130)을 포함하며, 상기 게이트 배선(124)과 평행한 방향으로 공통 배선(126)이 형성되어 있고, 상기 공통 배선(126)에서는 데이터 배선(132)과 평행한 방향에서 화소 전극(118)과 엇갈리게 다수 개의 공통 전극(128)이 분기되어 있으며, 절연막(미도시)이 개재된 상태에서 서로 중첩되게 위치하는 제 1, 2 캐패시터 전극(116, 130)은 스토리지 캐패시턴스( $C_{ST}$ )를 이룬다.
- <59>       도 5는 상기 도 4의 절단선 III-III에 따라 절단된 단면을 도시한 단면도이다.



- <60> 도시한 바와 같이, 기판(100) 상에 버퍼층(110)이 형성되어 있고, 버퍼층(110) 상부에는 반도체층(112), 드레인 전극(114), 제 1 캐패시터 전극(116), 화소 전극(118)이 형성되어 있다. 상기 도 4에서와 같이, 상기 반도체층(112), 드레인 전극(114), 제 1 캐패시터 전극(116), 화소 전극(118)은 폴리실리콘 물질로 이루어진 일체형 패턴에 해당된다.
- <61> 특히, 상기 드레인 전극(114), 제 1 캐패시터 전극(116), 화소 전극(118)은 도핑처리된 폴리실리콘 물질로 이루어지며, 반도체층(112)은 순수 폴리실리콘 물질로 이루어진 액티브 영역(I)과, 도핑처리된 폴리실리콘 물질로 이루어진 소스 영역(II)으로 이루어진다.
- <62> 그리고, 상기 반도체층(112)의 액티브 영역(I)을 덮는 영역에는 게이트 절연막(120), 게이트 전극(122)이 차례대로 형성되어 있고, 제 1 캐패시터 전극(116)을 덮는 영역에는 게이트 절연막(120), 제 2 캐패시터 전극(130)이 형성되어 있으며, 도면에서 화소 전극(118)과 이격된 우측에는 게이트 절연막(120), 공통 전극(128)이 차례대로 형성되어 있다.
- <63> 상기 반도체층(112)의 소스 영역(II), 게이트 전극(122), 제 2 캐패시터 전극(130), 화소 전극(118), 공통 전극(128)을 덮는 영역에는 층간절연막(131)이 형성되어 있고, 층간절연막(131)에는 소스 영역(II)을 노출시키는 소스 콘택홀(134)이 형성되어 있으며, 층간절연막(131) 상부에는 소스 콘택홀(134)을 통해 소스 영역(II)과 연결되는 소스 전극(136)이 형성되어 있다.
- <64> 상기 반도체층(112), 드레인 전극(114), 게이트 전극(122), 소스 전극(136)은 박막트랜지스터(T)를 이루고, 제 1, 2 캐패시터 전극(116, 130)은 게이트 절연막(120)이 개재되어 스토리지 캐패시턴스( $C_{ST}$ )를 이룬다.



- <65> 본 실시예에 따른 반도체층(112)은, 게이트 절연막(120)을 형성하기 전단계에서, 액티브 영역(I)만을 선택적으로 마스크(masking)한 다음, 노출된 반도체층(112) 영역을 n(negative)형 또는 p(positive)형 도핑처리 방법에 의해 형성될 수 있어서, 게이트 전극(122)과 제 1 캐패시터 전극(116)이 동일 공정에서 형성되더라도, 그 하부를 이루는 반도체 물질의 전기적 특성을 다르게 구성할 수 있다.
- <66> 본 실시예에 따른 구조에 의하면, 드레인 전극과 화소 전극 간의 콘택홀 공정과, 스토리지 캐패시터 구성을 위한 콘택홀 공정의 안정성을 증가시킬 수 있고 수율을 향상시킬 수 있다. 즉, 콘택홀 공정의 최소화를 통해 동일 개구율에서 스토리지 캐패시터( $C_{ST}$ )의 면적이 증가되어 플리커(flicker)와 크로스토크(cross talk)와 같은 화상 불량을 방지할 수 있다.
- <67> 특히, 반도체 물질은 투과성을 가지며 건식식각법에 의해 패터닝되므로, 개구율이 증가되면서도 패널 전체의 CD가 균일하게 제어되어 전극간격을 균일하게 유지할 수 있으므로, CD차에 의한 화상불량이 감소되는 효과를 가질 수 있다.
- <68> -- 제 2 실시예 --
- <69> 도 6은 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치에 대한 평면도로서, 상기 도 4의 구조를 기본 구조로 하여 중복되는 부분에 대해서는 간략히 설명한다.
- <70> 도시한 바와 같이, 게이트 전극(222)을 가지는 게이트 배선(224)과, 소스 전극(236)을 가지는 데이터 배선(232)이 서로 교차되게 배치되어 있다. 그리고, 상기 소스 전극(236)과 연결되고 게이트 전극(222)과 중첩되는 영역에 형성된 반도체층(212)과, 화소 영역(P)에 위치하는 제 1 캐패시터 전극(216)과, 상기 데이터 배선(232)과 평행한 방향으로 형성된 화소 전극

(218)은 폴리실리콘 물질로 이루어진 일체형 패턴에 해당된다. 상기 소스 전극(236)은 반도체 층(212)과 소스 콘택홀(234)을 통해 연결되어 있다.

<71>       상기 게이트 배선(224)과 평행한 방향으로 위치하며, 상기 제 1 캐패시터 전극(216)과 중첩되는 영역에 위치하는 제 2 캐패시터 전극(225)을 가지는 제 1 공통 배선(226)이 형성되어 있고, 상기 제 2 캐패시터 전극(225)을 덮는 위치에는 제 1 콘택홀(227)을 통해 제 2 캐패시터 전극(225)과 연결되는 보조 캐패시터 전극(230)이 형성되어 있으며, 보조 캐패시터 전극(230)을 덮는 위치에는 제 2 콘택홀(233)을 통해 보조 캐패시터 전극(230)과 연결되는 제 2 공통 배선(238)이 형성되어 있으며, 제 2 공통 배선(238)에서는 데이터 배선(232)과 평행한 방향으로 화소 전극(218)과 엇갈리게 공통 전극(240)이 형성되어 있다.

<72>       절연막(미도시)이 개재된 상태에서, 서로 중첩되게 위치하는 제 1 캐패시터 전극(216), 제 2 캐패시터 전극(225), 보조 캐패시터 전극(230), 제 2 공통 배선(238) 영역은 스토리지 캐패시턴스( $C_{ST}$ )를 이룬다.

<73>       한 예로, 상기 제 1 공통 배선(226)은 게이트 배선(224)과 동일 공정에서 동일 물질로 이루어지고, 상기 보조 캐패시터 전극(230)은 데이터 배선(232)과 동일 공정에서 동일 물질로 이루어질 수 있다.

<74>       본 실시예에 따른 구조는, 상기 제 1 실시예 구조와 비교시 화소 전극(218)뿐만 아니라, 공통 전극(240)도 투과성을 가지는 물질로 구성됨에 따라, 개구율을 보다 향상시킬 수 있으며, 기존의 두 개의 전극을 모두 투명 전극으로 구성하는 예와 비교시 CD차에 의한 화상적인 불량을 감소시킬 수 있다. 또한, 드레인 전극과 화소 전극 간의 연결을 위한 콘택홀 공정의 생략으로 전체적인 콘택홀 공정을 줄일 수 있으며, 콘택홀 공정의 감소로 동일 개구율에서의 스토리

지 캐패시턴스( $C_{ST}$ )의 면적이 증가되어 플리커나 크로스토크 등의 화질 불량을 방지할 수 있다.

<75> 도 7은 상기 도 6의 절단선 IV-IV에 따라 절단된 단면을 도시한 단면도로서, 기판(200) 상에 버퍼층(210)이 형성되어 있고, 버퍼층(210) 상부에는 반도체층(212), 드레인 전극(214), 제 1 캐패시터 전극(216), 화소 전극(218)이 폴리실리콘 물질로 동일 공정에서 이루어지며, 도면으로 상세히 제시하지는 않았지만, 상기 도 6에서와 같이 반도체층(212), 드레인 전극(214), 제 1 캐패시터 전극(216), 화소 전극(218)은 폴리실리콘 물질로 이루어진 일체형 패턴에 해당된다. 상기 버퍼층(210)은 생략할 수도 있다.

<76> 상기 반도체층(212)은 순수 폴리실리콘 물질로 이루어진 액티브 영역(V)과, 도핑처리된 불순물 폴리실리콘 물질로 이루어진 소스 영역(VI)으로 이루어지고, 드레인 전극(214), 제 1 캐패시터 전극(216)은, 상기 반도체층(212)의 소스 영역(VI)과 마찬가지로 도핑처리된 불순물 폴리실리콘 물질에 해당된다.

<77> 상기 반도체층(212) 상부의 액티브 영역(V)을 덮는 위치에는 게이트 절연막(220), 게이트 전극(222)이 차례대로 형성되어 있고, 제 1 캐패시터 전극(216) 상부에는 게이트 절연막(220), 제 2 캐패시터 전극(225)이 형성되어 있으며, 상기 게이트 전극(222), 제 2 캐패시터 전극(225) 그리고, 전술한 화소 전극(218)을 덮는 영역에는 층간절연막(231)이 형성되어 있고, 층간절연막(231)에는 반도체층(212)의 소스 영역(VI)을 노출시키는 소스 콘택홀(234)과, 제 2 캐패시터 전극(225)의 일부를 노출시키는 제 1 콘택홀(227)이 형성되어 있다.



<78>       상기 층간절연막(231) 상부에는, 소스 콘택홀(234)을 통해 반도체층(212)의 소스 영역(VI)과 연결되는 소스 전극(236)과, 제 1 콘택홀(227)을 통해 제 2 캐패시터 전극(225)과 연결되는 보조 캐패시터 전극(230)이 형성되어 있다. 상기 반도체층(212), 드레인 전극(214), 게이트 전극(222), 소스 전극(236)은 박막트랜지스터(T)를 이루고, 박막트랜지스터(T)를 덮는 기판 전면에는 보호층(237)이 형성되어 있고, 보호층(237)에는 보조 캐패시터 전극(230)을 일부 노출시키는 제 2 콘택홀(233)이 형성되어 있다.

<79>       그리고, 상기 보호층(237) 상부에는 제 2 콘택홀(233)을 통해 보조 캐패시터 전극(230)과 연결되는 제 2 공통 배선(238)과, 도면 상에서 화소 전극(218)의 우측에서 화소 전극(218)과 일정간격 이격되게 공통 전극(240)이 형성되어 있다. 상기 제 2 공통 배선(238) 및 공통 전극(240)은 동일 공정에서 동일 물질로 이루어지고, 상기 도 6에서와 같이 일체형 패턴으로 이루어진 것을 특징으로 하며, 투명 도전성 물질에서 선택되고, ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등으로 이루어진다.

<80>       상기 게이트 절연막이(220) 개재된 상태에서, 서로 중첩되게 위치하는 제 1 캐패시터 전극(216), 제 2 캐패시터 전극(225), 보조 캐패시터 전극(230), 제 2 공통 배선(238) 영역은 스토리지 캐패시턴스( $C_{ST}$ )에 해당된다.

<81>       -- 제 3 실시예 --

<82>       이하, 도 8a 내지 8d, 도 9a 내지 9d는 본 발명의 제 3 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 도면으로서, 도 8a 내지 8d는 평면도이고, 도 9a 내지 9d는 상기 도 8의 절단선 VII-VII에 따라 절단된 단면을 도시한 단면도이다.



- <83> 도 8a, 9a는 버퍼층(312)이 형성된 기판(310) 상에, 폴리실리콘 물질을 이용한 제 1 마스크 공정에 의해 일체형 패턴으로 반도체층(314), 드레인 전극(316), 제 1 캐패시터 전극(318), 화소 전극(320)을 형성하는 단계이다. 상기 버퍼층(312)은 생략할 수도 있다.
- <84> 상기 화소 전극(320)은, 제 1 캐패시터 전극(318)에서 제 1 방향으로 분기된 패턴에 해당된다.
- <85> 상기 반도체층(314)은 순수 폴리실리콘 물질로 이루어진 액티브 영역(VIII)과, 도핑처리된 폴리실리콘 물질로 이루어진 소스 영역(IX)으로 이루어지고, 상기 드레인 전극(316), 제 1 캐패시터 전극(318), 화소 전극(320)은, 상기 반도체층(314)의 소스 영역(IX)과 마찬가지로 도핑처리된 폴리실리콘 물질로 이루어져 전도성을 가지는 것을 특징으로 한다.
- <86> 도면으로 제시하지 않았지만, 기존에는 게이트 전극을 마스크로 이용하여 노출된 반도체 물질을 도핑처리하는 방법으로 불순물처리하였으나, 본 실시예에서는 제 1 캐패시터 전극(318)과 중첩되는 영역에도 게이트 금속이 중첩되기 때문에, 게이트 공정 전에 폴리실리콘 물질을 도핑처리한다.
- <87> 상기 폴리실리콘 물질은 비정질 실리콘 물질을 이용한 결정화 공정을 통해 형성할 수 있다.
- <88> 도 8b, 9b는 반도체층(314), 드레인 전극(316), 제 1 캐패시터 전극(318), 화소 전극(320)을 덮는 영역에 제 1 절연물질, 제 1 금속물질을 차례대로 형성한 다음, 상기 제 1 절연물질을 게이트 절연막(322)으로 구성하고, 제 2 마스크 공정에 의해, 전술한 제 1 방향과 교차하는 제 2 방향으로 위치하며, 상기 반도체층(314)의 액티브 영역(VIII)을 덮는 위치의 게이트 전극(324)을 포함하는 게이트 배선(326)과, 제 1 캐패시터 전극(318)을 덮는 위치의 제 2 캐





패시터 전극(328)을 가지는 공통 배선(330)과, 공통 배선(330)에서 화소 전극(320)과 평행한 방향으로 서로 엇갈리게 분기된 다수 개의 공통 전극(334)을 형성하는 단계를 포함한다.

<89> 이 단계에서, 상기 게이트 배선(326), 게이트 전극(324), 공통 배선(330), 제 2 캐패시터 전극(328), 공통 전극(334)을 마스크로 이용하여, 노출된 게이트 절연막 영역을 제거하는 단계를 포함한다. 즉, 상기 게이트 절연막(322)은 게이트 금속물질과 대응되는 패턴 구조를 이룬다.

<90> 도 8c, 9c는, 상기 게이트 배선(326), 게이트 전극(324), 공통 배선(330), 제 2 캐패시터 전극(328), 공통 전극(334)을 덮는 영역에 제 2 절연물질을 형성하고, 제 3 마스크 공정에 의해 소스 영역(IX)의 일부를 노출시키는 소스 콘택홀(336)을 가지는 층간절연막(338)을 형성하는 단계이다.

<91> 도 8d, 9d는 상기 층간절연막(338) 상부에, 전술한 제 1 방향으로 위치하며, 상기 소스 콘택홀(336)을 통해 반도체층(314)의 소스 영역(IX)과 연결되는 소스 전극(340)을 포함하는 데이터 배선(342)을 형성하는 단계이다.

<92> 이 단계를 거쳐, 상기 반도체층(314), 드레인 전극(316), 게이트 전극(324), 소스 전극(340)으로 이루어지는 박막트랜지스터(T)가 완성되고, 상기 게이트 절연막(322)이 개재된 상태에서 중첩된 구조의 제 1, 2 캐패시터 전극(318, 328) 영역은 스토리지 캐패시턴스( $C_{ST}$ )를 이룬다.

<93> 그러나, 본 발명은 상기 실시예 들로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 한도 내에서 다양하게 변경할 수 있다.

<94> 예를 들어, 본 발명에서는 박막트랜지스터의 다양한 구조를 이용해서도, 반도체 물질을 전극물질로 겸용할 수 있다.

<95> -- 제 4 실시예 --

<96> 도 10, 11은 본 발명의 제 4 실시예에 따른 횡전계형 액정표시장치에 대한 도면이고, 도 10은 평면도이고, 도 11은 상기 도 10의 절단선 X-X에 따라 절단된 단면을 도시한 단면도이다.

<97> 도 10에서는, 기판(410) 상에 제 1 방향으로 위치하며, 게이트 전극(412)을 가지는 게이트 배선(414)이 형성되어 있고, 제 1 방향과 교차되는 제 2 방향으로 위치하며, 상기 게이트 전극(412)과 일정간격 중첩되는 소스 전극(430)을 가지는 데이터 배선(432)이 형성되어 있고, 게이트 배선(414) 및 데이터 배선(432)이 교차되는 영역은 화소 영역(P)으로 정의된다. 그리고, 상기 화소 영역(P) 내에 위치하는 제 1 캐패시터 전극(416)과, 상기 데이터 배선(432)과 평행한 방향으로 위치하는 다수 개의 공통 전극(420)을 가지고, 상기 게이트 배선(414)과 평행하게 위치하는 공통 배선(418)이 형성되어 있다. 상기 제 1 캐패시터 전극(416), 공통 배선(418), 공통 전극(420)은 게이트 배선(414)과 동일 공정에서 동일 물질로 형성되는 것이 바람직하다.

<98> 그리고, 상기 게이트 전극(412)과 중첩된 영역에서, 상기 소스 전극(430)과 일정간격 이격되게 드레인 전극(424)이 형성되어 있고, 드레인 전극(424)과 일체형 패턴을 이루며, 상기 제 1 캐패시터 전극(416)과 중첩되는 영역에는 제 2 캐패시터 전극(426)과, 제 2 캐패시터 전

극(426)과 연결되며, 상기 데이터 배선(432)과 평행한 방향으로 화소 전극(428)이 형성되어 있다.

<99> 그리고, 상기 드레인 전극(424)은 전도성을 가지는 불순물 비정질 실리콘 물질로 이루어지며, 상기 드레인 전극(424), 제 2 캐패시터 전극(426), 화소 전극(428)과 대응되는 패턴 구조로 비정질 실리콘 물질로 이루어진 액티브층(423)이 형성되어 있다. 그리고, 상기 소스 전극(430)과 중첩된 영역에는 드레인 전극(424)과 동일 공정에서 동일 물질로 이루어지는 오믹 콘택층(425)이 위치한다.

<100> 상기 소스 전극(430)과 드레인 전극(424) 간 이격 구간에서는 액티브층(423)이 노출되어 있어, 노출된 액티브층(423) 영역은 채널(ch)을 이룬다.

<101> 상기 게이트 전극(412), 소스 전극(430), 드레인 전극(424)은 박막트랜지스터(T)를 이루고, 게이트 절연막(422)이 개재된 상태에서 서로 중첩되게 위치하는 제 1, 2 캐패시터 전극(416, 426) 영역은 스토리지 캐패시턴스( $C_{ST}$ )를 이룬다.

<102> 기존의 비정질 실리콘 물질로 이루어진 반도체층을 포함하는 박막트랜지스터 구조에서는, 비정질 실리콘 물질, 불순물 비정질 실리콘 물질을 액티브층, 오믹콘택층으로 차례대로 형성하고, 데이터 배선 금속물질로 소스 전극 및 드레인 전극을 형성하였으나, 본 실시예에서는 불순물 비정질 실리콘 물질을 드레인 전극(424), 제 2 캐패시터 전극(426), 화소 전극(428)으로 형성함에 따라, 다음과 같은 효과를 얻을 수 있다.

<103> 첫째, 드레인 전극과 화소 전극간의 콘택홀 공정을 생략할 수 있어, 콘택홀 공정에 의한 불량 발생율을 줄일 수 있다.

- <104> 둘째, 불순물 비정질 실리콘은, 상기 실시예 1 내지 2에 따른 도핑처리된 폴리실리콘 물질과 같이 투과성을 가지고, 건식식각법에 의한 패터닝 공정이 가능하기 때문에, 패널 내 전체 CD를 균일하게 할 수 있고, 개구율을 향상시킬 수 있다.
- <105> 셋째, 별도의 보호층 콘택홀 공정이나, 투명 전극 공정을 생략할 수 있어, 제조 비용의 절감을 통해 생산 수율을 높일 수 있다.
- <106> 도 11에서는, 기판(410) 상에 게이트 전극(412), 제 1 캐패시터 전극(416), 공통 전극(420)이 각각 형성되어 있고, 게이트 전극(412), 제 1 캐패시터 전극(416), 공통 전극(420)을 덮는 기판 전면에 게이트 절연막(422)이 형성되어 있으며, 게이트 절연막(422) 상부에는 게이트 전극(412) 및 제 1 캐패시터 전극(416)을 덮는 위치에 일체형 패턴으로 형성된 액티브층(423)과, 액티브층(423) 상부에서 대응된 패턴 구조로 서로 이격되게 오믹콘택층(425) 및 드레인 전극(424)이 형성되어 있고, 드레인 전극(424)과 연결되어, 제 1 캐패시터 전극(416)과 중첩되는 영역에는 제 2 캐패시터 전극(426)이 형성되어 있으며, 도면 상에서 상기 제 2 캐패시터 전극(426)과 공통 전극(420) 사이구간에는 액티브층(423) 및 화소 전극(428)이 차례대로 적층되어 있다.
- <107> 상기 오믹콘택층(425)을 덮는 영역에는 소스 전극(430)이 형성되어 있고, 상기 게이트 전극(412), 소스 전극(430) 및 드레인 전극(424)은 박막트랜지스터(T)를 이루며, 상기 소스 전극(430)과 드레인 전극(424) 사이 이격구간에서 노출된 액티브층(423)은 채널(ch)을 이룬다. 그리고, 상기 게이트 절연막(422)이 개재된 상태에서 서로 중첩되게 위치하는 제 1, 2 캐패시터 전극(416, 426) 영역은 스토리지 캐패시턴스( $C_{ST}$ )를 이룬다.



<108> 그러나, 본 발명의 상기 실시예로 한정되지 않으며, 본 발명의 취지에 벗어나지 않는 범위 내에서 다양하게 변경하여 실시할 수 있다.

<109> 예를 들어, 본 발명에서는 서로 대향되게 배치된 제 1, 2 기판과, 상기 제 1, 2 기판 사이에 개재된 액정층을 포함하여, 특히 상기 제 1 기판 내부면에 상기 제 1 실시예 내지 제 4 실시예의 구조를 적용하는 횡전계형 액정표시장치를 포함한다.

#### 【발명의 효과】

<110> 이와 같이, 본 발명에 따른 횡전계형 액정표시장치에 의하면, 반도체 물질은 투과성을 가지며 건식식각법에 의해 패터닝되므로, 개구율이 증가되면서도 패널 전체의 CD가 균일하게 제어되어 전극간격을 균일하게 유지할 수 있으므로, CD차에 의한 화상불량이 감소되는 효과를 가질 수 있고, 보호층과 투명 전극 공정을 생략할 수 있어 마스크 수의 감소로 제조원가와 공정소요시간(tact time)을 개선시킬 수 있다.

**【특허청구범위】****【청구항 1】**

제 1 방향으로 형성되며, 게이트 전극을 가지는 게이트 배선과;

상기 제 1 방향과 교차되는 제 2 방향으로 형성되며, 소스 전극을 가지는 데이터 배선과;

상기 게이트 전극과 중첩되는 액티브 영역과, 상기 소스 전극과 연결되는 소스 영역을 가지는 반도체층과;

상기 반도체층과 일체형 패턴을 이루는 드레인 전극과;

상기 드레인 전극과 일체형 패턴을 이루며, 상기 게이트 배선 및 데이터 배선이 교차되는 영역으로 정의되는 화소 영역에 형성된 제 1 캐패시터 전극과;

상기 제 1 캐패시터 전극과 일체형 패턴을 이루며, 상기 데이터 배선과 평행한 방향으로 형성된 화소 전극과;

상기 제 1 캐패시터 전극과 중첩된 영역에 제 2 캐패시터 전극을 가지며, 상기 게이트 배선과 평행한 방향으로 형성된 공통 배선과;

상기 공통 배선에서 분기되며, 상기 화소 전극과 엇갈리게 형성된 공통 전극

을 포함하며, 상기 반도체층의 소스 영역, 드레인 전극, 제 1 캐패시터 전극, 화소 전극은 투과성을 가지는 불순물 도핑처리된 폴리실리콘 물질로 이루어지는 횡전계형 액정표시장치용 어레이 기판.

**【청구항 2】**

제 1 항에 있어서,

상기 반도체층, 드레인 전극, 제 1 캐패시터 전극, 화소 전극은 건식식각(dry etching)법을 이용하여 패터닝되는 횡전계형 액정표시장치용 어레이 기판.

**【청구항 3】**

제 1 항에 있어서,

상기 게이트 배선, 상기 공통 배선과 연결하는 하부에는 게이트 절연막이 추가로 포함되는 횡전계형 액정표시장치용 어레이 기판.

**【청구항 4】**

제 3 항에 있어서,

상기 게이트 절연막이 개재된 상태에서, 상기 제 1, 2 캐패시터 전극이 중첩된 영역은 스토리지 캐패시턴스(storage capacitance)를 이루는 횡전계형 액정표시장치용 어레이 기판.

**【청구항 5】**

제 1 항에 있어서,

상기 반도체층, 게이트 전극, 소스 전극, 드레인 전극은 박막트랜지스터를 이루며, 상기 박막트랜지스터를 덮는 영역에는 층간절연막이 추가로 포함되는 횡전계형 액정표시장치용 어레이 기판.

이 기판.

【청구항 6】

제 5 항에 있어서,

상기 층간절연막에는 상기 반도체층의 소스 영역을 일부 노출시키는 소스 콘택홀이 형성되며, 상기 소스 콘택홀을 통해 소스 전극과 반도체층이 연결되는 횡전계형 액정표시장치용 어레이 기판.

【청구항 7】

제 1 방향으로 형성되며, 게이트 전극을 가지는 게이트 배선과;

상기 제 1 방향과 교차되는 제 2 방향으로 형성되며, 소스 전극을 가지는 데이터 배선과;

상기 소스 전극과 연결되는 소스 영역과, 상기 게이트 전극과 중첩되는 액티브 영역을 가지는 반도체층과;

상기 반도체층과 일체형 패턴을 이루는 드레인 전극과;

상기 드레인 전극과 일체형 패턴을 이루며, 상기 게이트 배선 및 데이터 배선이 교차되는 영역으로 정의되는 화소 영역에 형성된 제 1 캐패시터 전극과;

상기 제 1 캐패시터 전극과 일체형 패턴을 이루며, 상기 데이터 배선과 평행한 방향으로 형성된 화소 전극과;





상기 제 1 캐패시터 전극과 중첩되는 영역에 위치하는 제 2 캐패시터 전극을 가지는 제 1 공통 배선과;

상기 제 2 캐패시터 전극을 덮고, 상기 제 2 캐패시터 전극과 연결되는 보조 캐패시터 전극과;

상기 보조 캐패시터 전극을 덮고, 상기 보조 캐패시터 전극과 연결되는 제 2 공통 배선과;

상기 제 2 공통 배선에서 분기되며, 상기 데이터 배선과 평행한 방향으로, 상기 화소 전극과 엇갈리게 형성된 공통 전극

을 포함하며, 상기 반도체층의 소스 영역, 드레인 전극, 제 1 캐패시터 전극, 화소 전극은 투과성을 가지는 불순물 도핑처리된 폴리실리콘 물질로 이루어지고, 상기 제 2 공통 배선 및 공통 전극은 투명 도전성 물질에서 선택되는 횡전계형 액정표시장치용 어레이 기판.

#### 【청구항 8】

제 7 항에 있어서,

상기 게이트 배선, 게이트 전극, 공통 배선, 제 2 캐패시터 전극, 공통 전극과 연결된 하부에는 대응된 패턴 구조의 게이트 절연막을 추가로 포함하는 횡전계형 액정표시장치용 어레이 기판.

#### 【청구항 9】

제 8 항에 있어서,

상기 반도체층, 게이트 전극, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에는 층간절연막을 추가로 포함하는 횡전계형 액정표시장치용 어레이 기판.

**【청구항 10】**

제 9 항에 있어서,

상기 층간절연막에는, 상기 반도체층의 소스 영역을 일부 노출시키는 소스 콘택홀과, 상기 제 2 캐패시터 전극을 일부 노출시켜 상기 제 2 캐패시터 전극과 보조 캐패시터 전극을 연결시키는 제 1 콘택홀이 형성된 횡전계형 액정표시장치용 어레이 기판.

**【청구항 11】**

제 10 항에 있어서,

상기 보조 캐패시터 전극을 덮는 기판 전면에는, 보호층이 추가로 형성되는 횡전계형 액정표시장치용 어레이 기판.

**【청구항 12】**

제 11 항에 있어서,

상기 보호층에는 상기 보조 캐패시터 전극을 일부 노출시켜 상기 보조 캐패시터 전극과 제 2 공통 배선을 연결시키는 제 2 콘택홀이 형성되는 횡전계형 액정표시장치용 어레이 기판.

**【청구항 13】**

제 8 항 내지 제 12 항 중 어느 하나의 항에 있어서,

상기 게이트 절연막, 층간절연막, 보호층이 개재된 상태에서 서로 중첩되게 위치하는 제 1 캐패시터 전극, 제 2 캐패시터 전극, 보조 캐패시터 전극, 제 2 공통 배선 영역은 스토리지 캐패시턴스를 이루는 횡전계형 액정표시장치용 어레이 기판.

**【청구항 14】**

기판 상에 폴리실리콘 물질을 형성한 다음, 제 1 마스크 공정에 의해 액티브 영역과 소스 영역을 가지는 반도체층과, 드레인 전극과, 제 1 캐패시터 전극과, 화소 전극을 일체형 패턴으로 형성하는 단계와;

상기 반도체층, 드레인 전극, 제 1 캐패시터 전극, 화소 전극을 덮는 영역에 제 1 절연 물질, 제 1 금속물질을 형성한 다음, 상기 제 1 절연물질을 게이트 절연막으로 구성하고, 제 2 마스크 공정에 의해 상기 반도체층의 액티브 영역을 덮는 위치에 게이트 전극을 포함하는 게이트 배선과, 상기 제 1 캐패시터 전극을 덮는 위치에 제 2 캐패시터 전극을 가지는 공통 배선과, 상기 공통 배선에서 분기되는 공통 전극을 형성하는 단계와;

상기 게이트 배선, 게이트 전극, 공통 배선, 제 2 캐패시터 전극, 공통 전극을 덮는 영역에 제 2 절연물질을 형성하고, 제 3 마스크 공정에 의해 소스 영역의 일부를 노출시키는 소스 콘택홀을 가지는 층간절연막을 형성하는 단계와;



상기 층간절연막 상부에 제 2 금속물질을 형성한 다음, 제 4 마스크 공정에 의해 상기 소스 콘택홀을 통해 반도체층의 소스 영역과 연결되는 소스 전극을 포함하는 데이터 배선을 형성하는 단계

를 포함하며, 상기 반도체층의 소스 영역, 드레인 전극, 제 1 캐패시터 전극, 화소 전극은 투과성을 가지는 불순물 도핑처리된 폴리실리콘 물질로 이루어지는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

#### 【청구항 15】

제 14 항에 있어서,

상기 반도체층을 형성하는 단계 이전에는, 상기 반도체층의 액티브 영역을 마스크잉(masking)한 상태에서, 노출된 반도체층 영역을 n(negative)형 또는 p(positive)형 도핑처리하는 단계를 추가로 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

#### 【청구항 16】

게이트 전극을 가지며, 제 1 방향으로 형성된 게이트 배선과;

소스 전극을 가지며, 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과;

상기 게이트 배선 및 데이터 배선이 교차되는 영역으로 정의되는 화소 영역 내에 위치하는 제 1 캐패시터 전극과;



상기 제 2 방향으로 형성된 공통 배선을 가지며, 상기 공통 배선에서 분기된 공통 전극과;

상기 소스 전극과 일정간격 이격되게 형성된 드레인 전극과;

상기 드레인 전극과 일체형 패턴을 이루며, 상기 제 1 캐패시터 전극과 중첩되는 영역에 형성된 제 2 캐패시터 전극과;

상기 제 2 캐패시터 전극과 일체형 패턴을 이루며, 상기 공통 전극과 서로 엇갈리게 형성된 화소 전극과;

상기 게이트 전극을 덮는 영역에서, 상기 소스 전극과 중첩되게 위치하며, 액티브층과 오믹콘택층이 적층된 구조로 이루어지는 반도체층

을 포함하며, 상기 반도체층의 오믹콘택층, 드레인 전극, 제 2 캐패시터 전극, 화소 전극은 투과성을 가지는 불순물 비정질 실리콘 물질로 이루어지는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판.

#### 【청구항 17】

서로 대향되게 배치된 제 1, 2 기판과;

상기 제 1 기판 내부면에 제 1 방향으로 형성되며, 게이트 전극을 가지는 게이트 배선과;

상기 제 1 방향과 교차되는 제 2 방향으로 형성되며, 소스 전극을 가지는 데이터 배선과;



상기 게이트 전극과 중첩되는 액티브 영역과, 상기 소스 전극과 연결되는 소스 영역을 가지는 반도체층과;

상기 반도체층과 일체형 패턴을 이루는 드레인 전극과;

상기 드레인 전극과 일체형 패턴을 이루며, 상기 게이트 배선 및 데이터 배선이 교차되는 영역으로 정의되는 화소 영역에 형성된 제 1 캐패시터 전극과;

상기 제 1 캐패시터 전극과 일체형 패턴을 이루며, 상기 데이터 배선과 평행한 방향으로 형성된 화소 전극과;

상기 제 1 캐패시터 전극과 중첩된 영역에 위치하는 제 2 캐패시터 전극을 가지며, 상기 게이트 배선과 평행한 방향으로 형성된 공통 배선과;

상기 공통 배선에서 분기되며, 상기 화소 전극과 엇갈리게 위치하는 공통 전극과;

상기 제 1, 2 기판 사이에 개재된 액정층

을 포함하며, 상기 반도체층의 소스 영역, 드레인 전극, 제 1 캐패시터 전극, 화소 전극은 투과성을 가지는 불순물 도핑처리된 폴리실리콘 물질로 이루어지는 횡전계형 액정표시장치.

#### 【청구항 18】

제 1 방향으로 형성된 게이트 배선과;

상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과;

상기 게이트 배선 및 데이터 배선의 교차지점에 형성된 박막트랜지스터와;

상기 제 2 방향으로 형성되고, 상기 박막트랜지스터와 연결되며, 투과성을 가지는 불순물 도핑처리된 반도체 물질로 이루어진 화소 전극과;



1020030017476

출력 일자: 2004/3/12

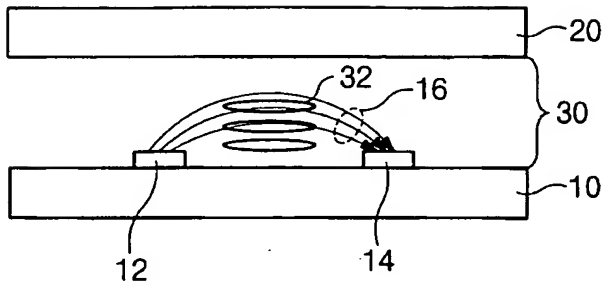
상기 제 2 방향으로 형성되며, 상기 화소 전극과 서로 엇갈리게 위치하는 공통 전극  
을 포함하는 횡전계형 액정표시장치용 어레이 기판.

:

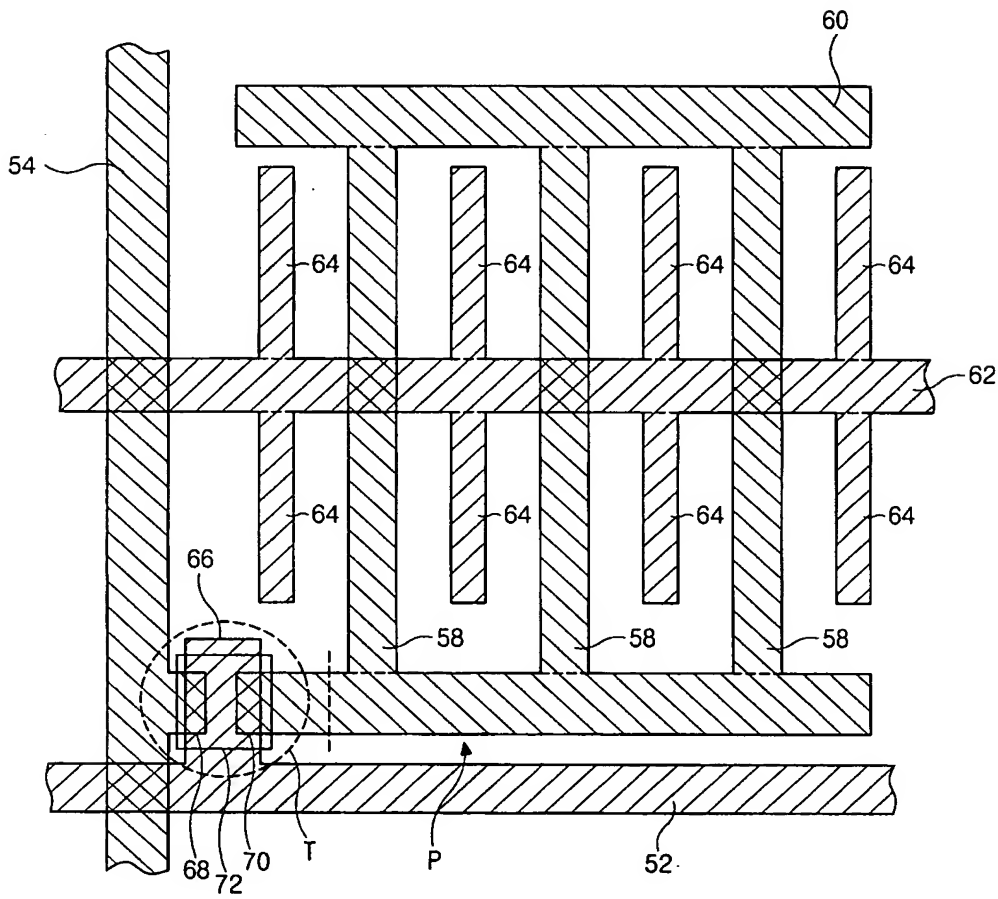


【도면】

【도 1】



【도 2】



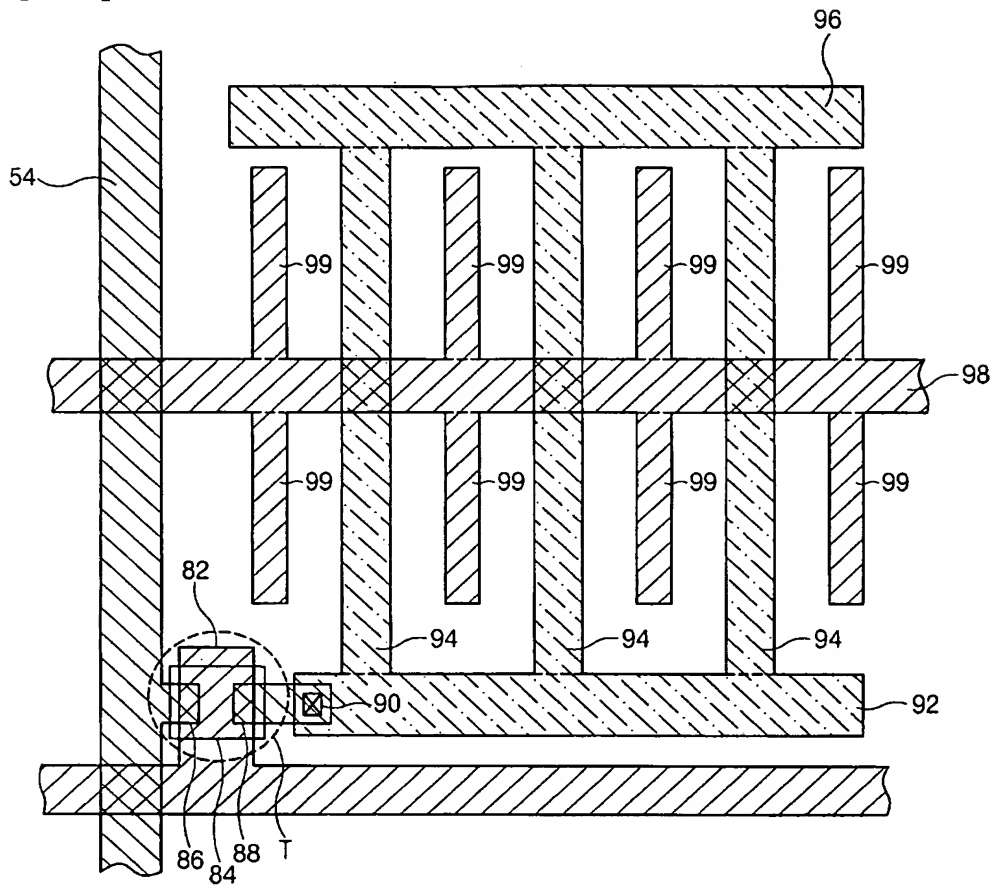




1020030017476

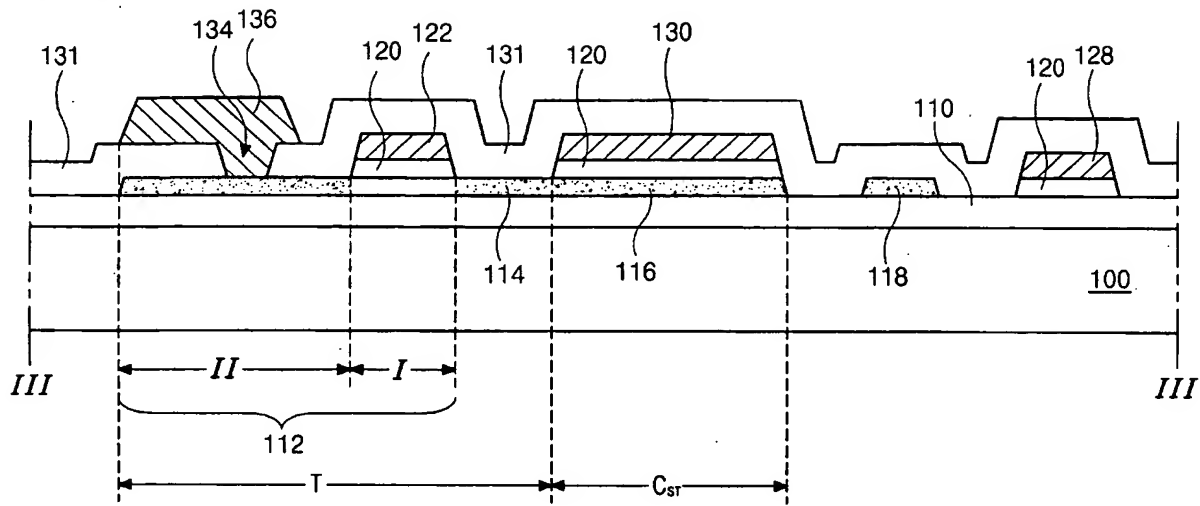
출력 일자: 2004/3/12

【도 3】

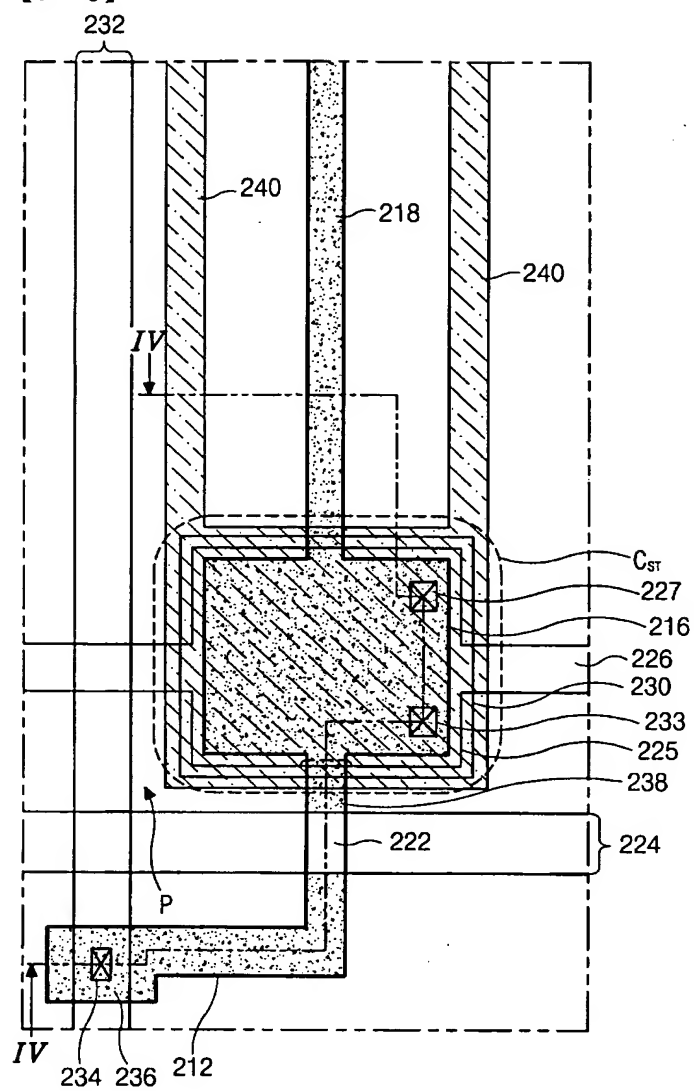




【도 5】

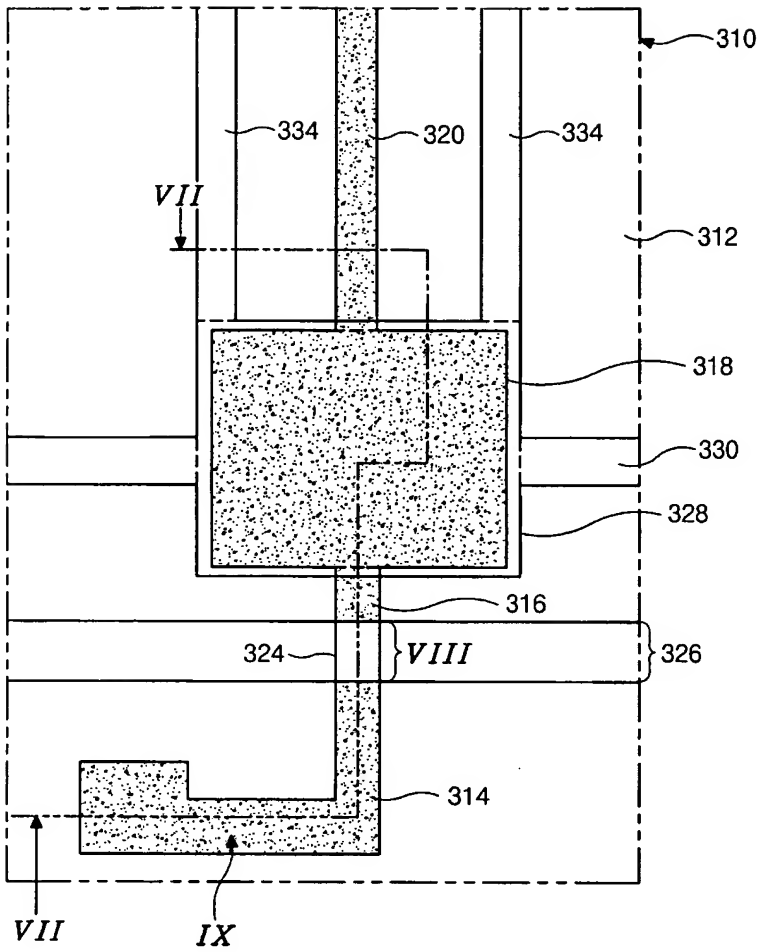


【도 6】

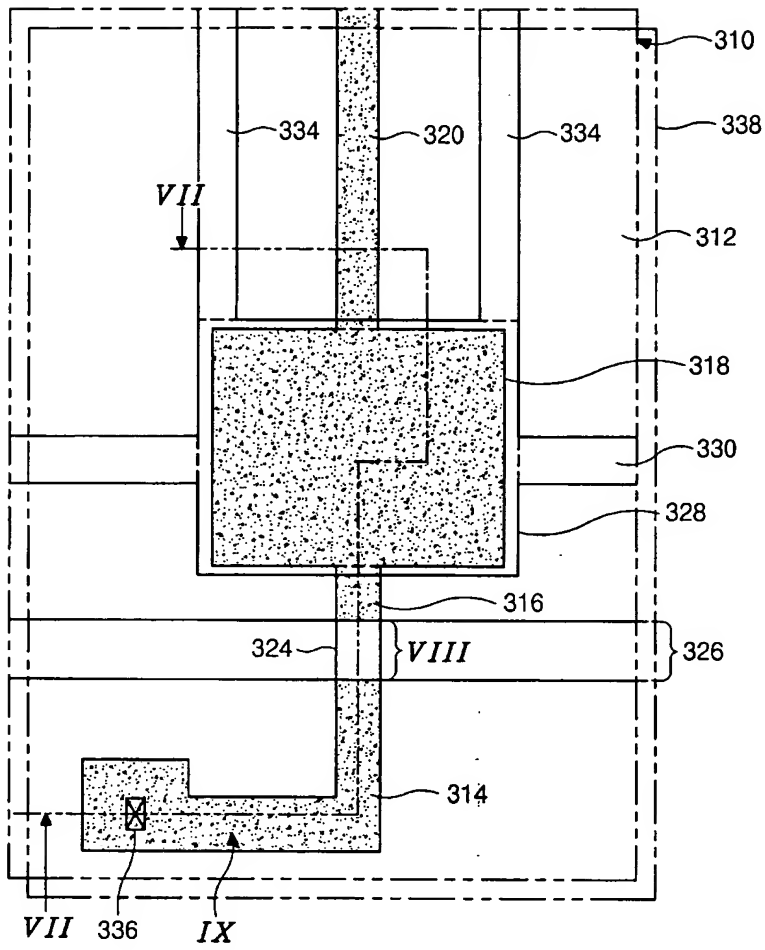


This cross-sectional view shows a semiconductor device with a substrate 200. A thin layer 210 is on top of the substrate. Above this, there are several layers and structures. A layer 214 is shown in some regions, and a layer 216 is shown in others. A layer 218 is also present. A layer 220 is shown in some regions, and a layer 222 is shown in others. A layer 227 is shown in some regions, and a layer 225 is shown in others. A layer 230 is shown in some regions, and a layer 231 is shown in others. A layer 233 is shown in some regions, and a layer 234 is shown in others. A layer 236 is shown in some regions, and a layer 237 is shown in others. A layer 238 is shown in some regions, and a layer 240 is shown in others. The device is divided into regions by vertical dashed lines. The regions are labeled IV, VI, V, and IV. The width of the VI region is labeled VI, the width of the V region is labeled V, and the total width of the VI and V regions is labeled 212. The total width of the device is labeled T. The width of the region between the first and second vertical dashed lines is labeled C<sub>ST</sub>.

【도 8b】



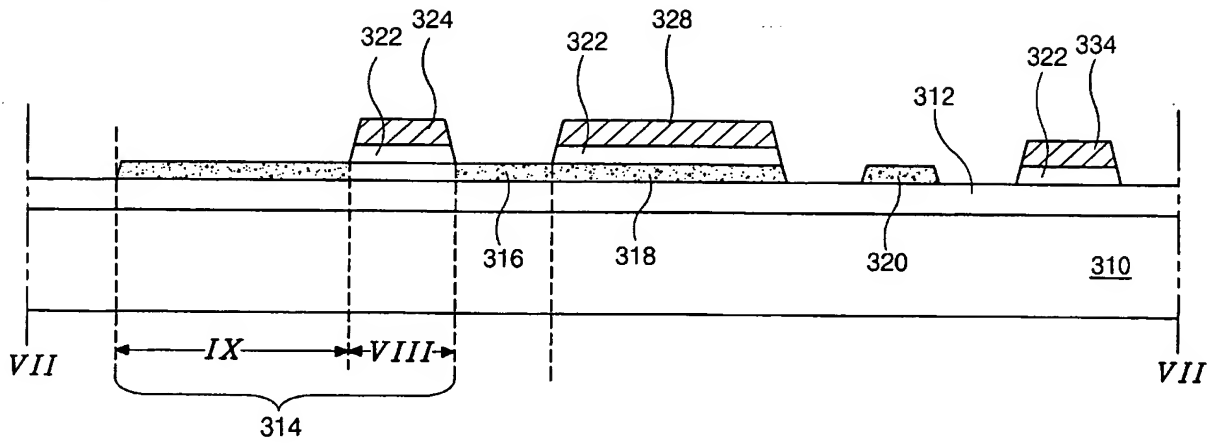
【도 8c】



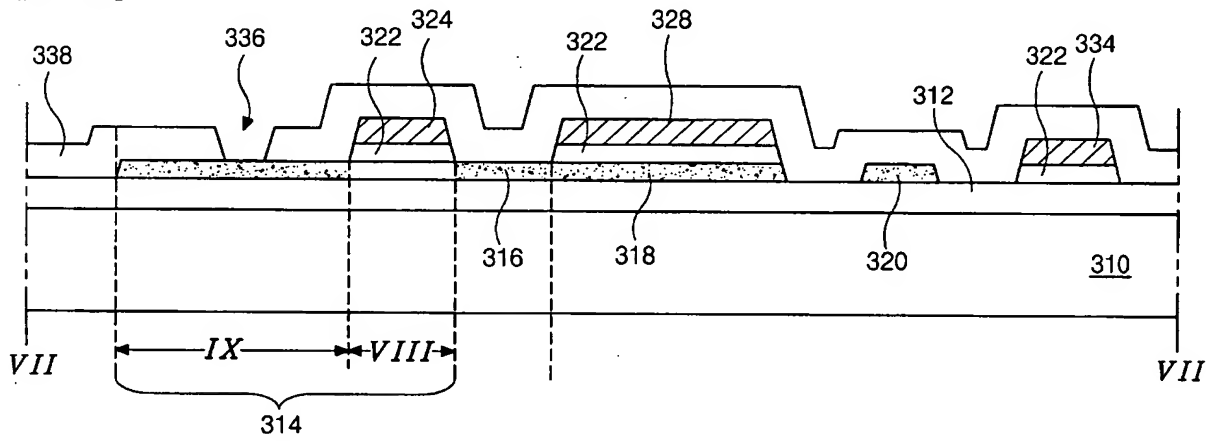
This cross-sectional view shows a central core region 318, which is a square with rounded corners, filled with a stippled pattern. This core is surrounded by a layer 316. The entire structure is enclosed within a larger rectangular frame 310. The frame consists of a top layer 312, a bottom layer 326, and side layers 334. A central vertical channel 320 runs through the top and bottom layers. A horizontal channel 324 runs through the bottom layer, intersecting the vertical channel. A small square region 340, also filled with stippling, is located in the bottom-left corner of the frame. A dashed line 328 is shown on the right side of the core. Various reference numerals and labels are present: 342 at the top left, VII with a downward arrow on the left, VIII with a rightward arrow on the right, IX with an upward arrow at the bottom left, and C<sub>ST</sub> near the top right. The bottom layer 326 is also labeled with a rightward arrow.



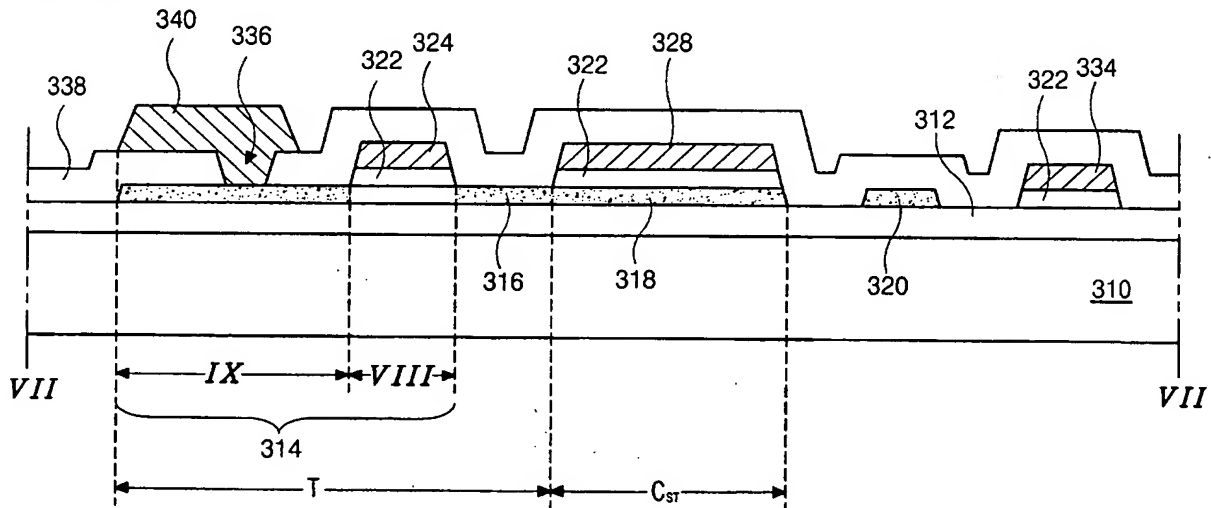
【도 9b】



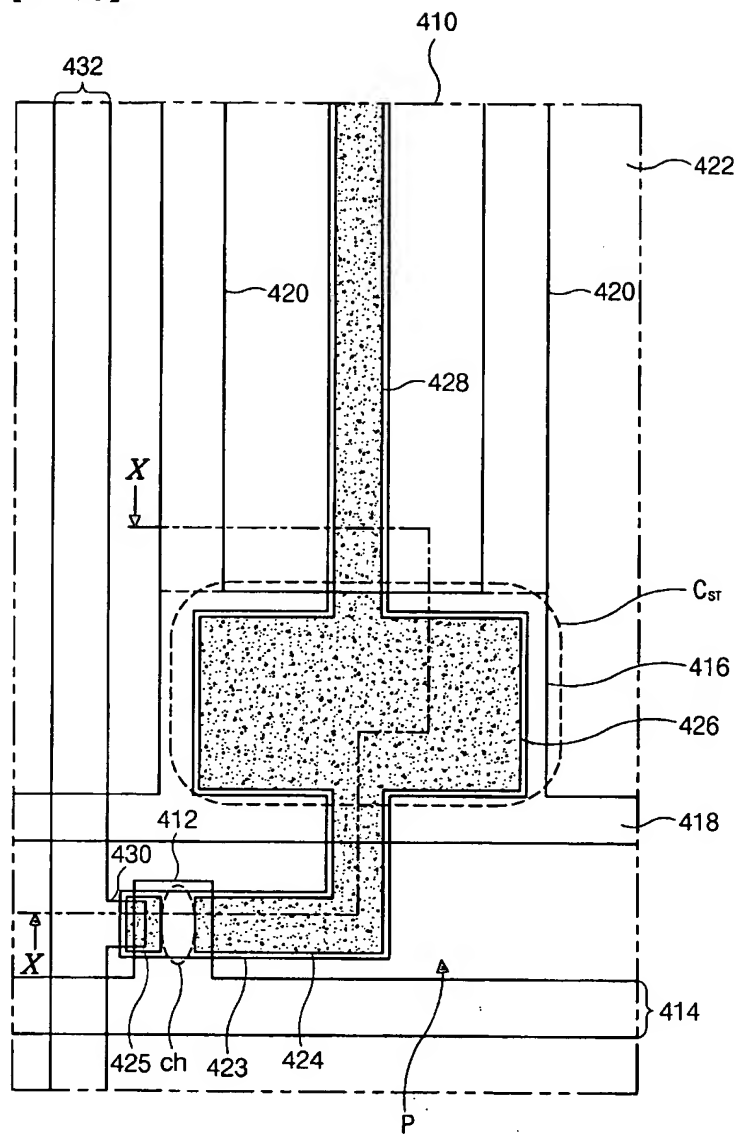
【도 9c】



【도 9d】



【도 10】



【도 11】

